



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Patentschrift**  
⑩ **DE 197 08 965 C 2**

⑤① Int. Cl.<sup>6</sup>:  
**G 11 C 29/00**  
G 11 C 16/02

②① Aktenzeichen: 197 08 965.8-53  
②② Anmeldetag: 5. 3. 97  
④③ Offenlegungstag: 24. 9. 98  
④⑤ Veröffentlichungstag  
der Patenterteilung: 10. 6. 99

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:  
Siemens AG, 80333 München, DE

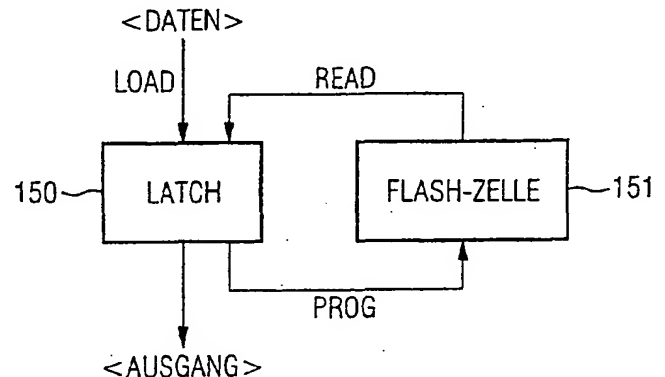
⑦② Erfinder:  
Zettler, Thomas, Dr., 81737 München, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
US 52 00 922

⑤④ Halbleiterdatenspeicher

⑤⑦ Halbleiterdatenspeicher (1), der die folgenden Merkmale aufweist:

- wenigstens ein Speicherzellenfeld (2), das Speicherzellen (S1) aufweist, wobei die Speicherzellen (S1) durch Anlegen wenigstens eines Selektionssignals an im Bereich der Speicherzellen (S1) vorgesehene Selektionsleitungen (XSEL1, ..., XSELn) selektierbar sind, wobei die Selektionsleitungen Wortleitungen und/oder Bitleitungen umfassen,
- eine Redundanzschaltung (3, 7), die wenigstens eine Redundanzspeicherzelle (RS1) aufweist, wobei die Redundanzspeicherzellen (RS1) durch Anlegen wenigstens eines Redundanz-Selektionssignals an im Bereich der Redundanzspeicherzellen (RS1) vorgesehene Redundanz-Selektionsleitungen (RXSEL1, ..., RXSEL4) selektierbar sind, wobei die Redundanz-Selektionsleitungen Redundanzwortleitungen (RXSEL1, ..., RXSEL4) und/oder Redundanzbitleitungen umfassen,
- eine Redundanz-Selektionsleitungsauswahlschaltung, die mindestens einen Zuordnungsspeicher aufweist, in dem eine Zuordnungsinformation abspeicherbar ist, wobei die Redundanz-Selektionsleitungsauswahlschaltung so ausgebildet ist, daß aufgrund der Zuordnungsinformation wenigstens eine Redundanz-Selektionsleitung (RXSEL1) zu wenigstens einer Selektionsleitung (XSEL1) zuordenbar ist,
- der Zuordnungsspeicher weist zur Aufnahme der Zuordnungsinformation eine Zuordnungsspeicherzelle mit einem Zwischenspeicher auf,
- der Zuordnungsspeicher ist so ausgebildet, daß in einem Betriebsmodus des Halbleiterdatenspeichers (1) die Zuordnungsinformation von der Zuordnungsspeicherzelle in den Zwischenspeicher übertragbar ist, gekennzeichnet durch das folgende Merkmal:
- der Zuordnungsspeicher ist so ausgebildet, daß in einem Programmiermodus des Halbleiterdatenspeichers (1) die Zuordnungsinformation vom Zwischenspeicher in die Zuordnungsspeicherzelle übertragbar ist.



DE 197 08 965 C 2

DE 197 08 965 C 2

Die Erfindung betrifft einen Halbleiterdatenspeicher (im Folgenden auch Datenspeicher genannt), der die folgenden Merkmale aufweist:

- 5 – wenigstens ein Speicherzellenfeld, das Speicherzellen aufweist, wobei die Speicherzellen durch Anlegen wenigstens eines Selektionssignals an im Bereich der Speicherzellen vorgesehene Selektionsleitungen selektierbar sind, wobei die Selektionsleitungen Wortleitungen und/oder Bitleitungen umfassen können.
- 10 – eine Redundanzschaltung, die wenigstens eine Redundanzspeicherzelle aufweist, wobei die Redundanzspeicherzellen durch Anlegen wenigstens eines Redundanz-Selektionssignals an im Bereich der Redundanzspeicherzellen vorgesehene Redundanz-Selektionsleitungen selektierbar sind, wobei die Redundanz-Selektionsleitungen Redundanzwortleitungen und/oder Redundanzbitleitungen umfassen können.
- 15 – eine Redundanz-Selektionsleitungsauswahlschaltung, die mindestens einen Zuordnungsspeicher aufweist, in dem eine Zuordnungsinformation abspeicherbar ist, wobei die Redundanz-Selektionsleitungsauswahlschaltung so ausgebildet ist, daß aufgrund der Zuordnungsinformation wenigstens eine Redundanz-Selektionsleitung zu wenigstens einer Selektionsleitung zuordenbar ist,
- 20 – der Zuordnungsspeicher weist zur Aufnahme der Zuordnungsinformation eine Zuordnungsspeicherzelle mit einem Zwischenspeicher auf,
- der Zuordnungsspeicher ist so ausgebildet, daß in einem Betriebsmodus des Datenspeichers die Zuordnungsinformation von der Zuordnungsspeicherzelle in den Zwischenspeicher übertragbar ist.

Datenspeicher und insbesondere Halbleiterdatenspeicher werden häufig auf die folgende Weise hergestellt. Zunächst wird eine Vielzahl von Datenspeichern auf einem Substratabschnitt erzeugt, der Wafer genannt wird. Nach der Herstellung des Wafers werden die einzelnen Datenspeicher getestet, und zwar insbesondere daraufhin, ob die Speicherzellen des Speicherzellenfelds und die Redundanzspeicherzellen der Redundanzschaltung ordnungsgemäß arbeiten. Dabei wird 25 in jede Speicherzelle bzw. in jede Redundanzspeicherzelle wiederholt ein jeweils unterschiedlicher Wert geschrieben, wobei durch eine nachfolgende Leseoperation überprüft wird, ob die geprüfte Speicherzelle bzw. Redundanzspeicherzelle ordnungsgemäß beschrieben werden konnte. Falls eine defekte Speicherzelle ermittelt wird, so wird die Redundanz-Selektionsleitungsauswahlschaltung so programmiert, daß einer unbrauchbaren Speicherzelle eine ordnungsgemäß arbeitende Redundanzspeicherzelle zugeordnet wird. Dies erfolgt so, daß die zugeordnete Redundanzspeicherzelle die 30 Funktion der als defekt erkannten Speicherzelle übernimmt. Aufgrund der besonderen Ausbildung der Redundanz-Selektionsleitungsauswahlschaltung kann eine zugeordnete Redundanzspeicherzelle so angesprochen werden, daß das Speicherzellenfeld von außen den Eindruck erweckt, ausschließlich ordnungsgemäß arbeitende Speicherzellen aufzuweisen.

35 In einem nachfolgenden Schritt wird der Wafer in einzelne Datenspeicher zersägt. Daraufhin werden die einzelnen Datenspeicher in Gehäuse montiert und erneut einem Test unterzogen, wobei erst danach die Auslieferung der gattungsgemäßen Datenspeicher erfolgt.

Die aus der US-A-5 200 922 bekannten gattungsgemäßen Datenspeicher haben Redundanz-Selektionsleitungsauswahlschaltungen, die statische Speicherzellen aufweisen, um eine Zuordnungsinformation abzuspeichern, aufgrund der 40 im Betrieb eine Redundanzspeicherzelle einer defekten Speicherzelle zugeordnet wird. Zur Programmierung dieser Speicherzellen werden relativ hohe Spannungen benötigt, so daß bei den gattungsgemäßen Datenspeichern ein zusätzlicher Schaltungsaufwand erforderlich ist. Weiterhin sind je nach dem verwendeten Programmierverfahren beim Zuordnen von Redundanzspeicherzellen zu Speicherzellen relativ lange Programmierzeiten erforderlich. Dies ist besonders störend, weil beim Test der gattungsgemäßen Datenspeicher auch die Redundanzspeicherzellen auf ihre ordnungsgemäße Funktion hin überprüft werden müssen, was durch ein wiederholtes Umprogrammieren der Redundanzspeicherzellen erfolgt. Bei einer Vielzahl von Redundanzspeicherzellen summieren sich die Programmierzeiten auf, so daß die 45 Überprüfung besonders zeitaufwendig ist. Mit der Überprüfung ist auch ein hoher Stromverbrauch verbunden. Weiterhin sind im Bereich der Zuordnungsspeicher vorgesehene Latches vorgesehen, in die beim Betrieb des gattungsgemäßen Datenspeichers Informationen aus den Zuordnungsspeichern geschrieben werden. Insgesamt sind die gattungsgemäßen Datenspeicher aufwendig in der Herstellung.

Es ist daher Aufgabe der Erfindung, einen Halbleiterdatenspeicher bereitzustellen, der einen einfachen Aufbau hat, bei dem schnell, einfach und mit geringem Energieverbrauch Redundanzspeicherzellen zu defekten Speicherzellen zuordnen 50 bar sind.

Diese Aufgabe wird gemäß der Erfindung dadurch gelöst, daß der Zuordnungsspeicher so ausgebildet ist, daß in einem 55 Programmiermodus des Datenspeichers die Zuordnungsinformation vom Zwischenspeicher in die Zuordnungsspeicherzelle übertragbar ist.

Dabei ist insbesondere vorgesehen, daß die im Zwischenspeicher bzw. Latch abgespeicherte Information ein von außerhalb des Datenspeichers vorgegebener Wert ist, der auf ein besonderes Signal hin nichtflüchtig in die beispielsweise als Flash- oder EEPROM-Zelle ausgebildete Zuordnungsspeicherzelle übertragen wird. So ergibt sich eine Schaltung, 60 die sowohl in einem Zustand "nichtflüchtiges Schatten RAM" (NVM Shadow RAM) als auch – bei alleiniger Nutzung des Latch – in einem Zustand "gewöhnliches RAM" betrieben werden kann. Der reine RAM-Betrieb erleichtert das Aus-testen der Komponenten des Datenspeichers wesentlich, während der NVM Shadow-Mechanismus die Einstellungen auch ohne externe Spannung erhält. Durch die erfindungsgemäße Ausbildung ergibt sich der weitere Vorteil, daß pro Bit des Zuordnungsspeichers nur eine einzige Zuordnungsspeicherzelle notwendig ist, die darüberhinaus auch besonders 65 einfach zu programmieren ist.

Dabei ist in weiterer vorteilhafter Ausbildung der Erfindung vorgesehen, daß die nichtflüchtigen Zellen im Zuordnungsspeicher mit einer negativen Spannung am Control-Gate programmierbar sind. Dadurch ist der Zuordnungsspeicher nämlich besonders einfach innerhalb eines Flash-Speichers mit negativer Control-Gate-Programmiererspannung zu

realisieren.

In diesem Zusammenhang ist es weiterhin vorteilhaft, wenn der Datenspeicher so ausgebildet ist, daß die in der Zuordnungsspeicherzelle abgespeicherte Zuordnungsinformation beim erstmaligen Aktivieren des Datenspeichers in den Latch geschrieben wird, wobei im folgenden Betrieb nur noch auf die im Latch vorhandene Zuordnungsinformation zugegriffen wird. Dann wird zum Betrieb des erfindungsgemäßen Datenspeichers nur ein sehr kleiner Strom benötigt, denn dadurch tritt nur einmal ein hoher Stromverbrauch auf, und zwar beim Auslesen des Zuordnungsspeichers beim Einschalten des Datenspeichers.

Für Testzwecke erweist sich die vorstehende Vorgehensweise als zeitsparend, da beim Speichertest und beim Zuordnen der Redundanz-Speicherzellen zu den Speicherzellen das schnell reagierende Latch eingesetzt wird, während die Zuordnungsinformation statisch in der Zuordnungsspeicherzelle abspeicherbar ist. Somit läßt sich auch die Redundanzzuordnung für Testzwecke schnell verändern, wobei ein als brauchbar gefundener Zuordnungszustand nach Testende aus den Latches dauerhaft in die Zuordnungsspeicherzelle geschrieben wird. Weiterhin ist von Bedeutung, daß insbesondere beim Ändern des Latch-Zustandes keine Hochspannung benötigt wird, was den Schaltungsaufwand ebenfalls vermindert.

Wenn die Zuordnungsspeicherzelle und/oder die Ansteuerschaltung für die Zuordnungsspeicherzelle so ausgebildet ist, daß sie insbesondere am Control Gate mit einer positiven Spannung löscher und mit einer negativen Spannung programmierbar ist bzw. löscht und programmiert, dann kann sie besonders vorteilhaft in einer Wortleitungsredundanzschaltung im Zusammenhang mit Flash-Datenspeichern mit einer negativen Programmierspannung eingesetzt werden.

Vorteilhafterweise werden für die erfindungsgemäßen Zuordnungsspeicherzelle Flash-Speicherzellen verwendet, die unter Anwendung von Fowler-Nordheim-Tunnelströmen löscher und programmierbar sind. Dies ist beispielsweise bei FLOTOX-EEPROMs bekannt und diese Technik wird auch für Flash-Speicher insbesondere in der 0,5 µm CMOS-Technik angewendet.

In vorteilhaften Ausbildungen sind die Zuordnungsspeicherzellen jeweils als Stacked-Gate-Zelle ausgebildet, die sich flächengünstig herstellen lassen. Bei der Ausbildung der Zuordnungsspeicherzelle als Split-Gate-Zelle ergibt sich der Vorteil einer besonders einfachen Schaltung, die darüber hinaus verhindert, daß durch Prozeßschwankungen der Serien-Gate-Länge in Verbindung mit extremen over-erase-Effekten Leckströme entstehen.

Weiterhin ist wenigstens ein Adreßdecoder vorgesehen, der zwischen einen Adreßbus und die zu den Speicherzellen führenden Selektionsleitungen geschaltet ist, wobei der Adreßdecoder vorteilhafterweise so ausgebildet ist, daß eine oder mehrere Selektionsleitungen entsprechend einer am Adreßbus anliegenden Adresse selektierbar sind. Außerdem ist ein Redundanzadreßdecoder vorgesehen, der zwischen den Adreßbus und die Redundanz-Selektionsleitungen geschaltet ist, die zu den Redundanzspeicherzellen führen, wobei der Redundanzadreßdecoder so ausgebildet ist, daß eine oder mehrere Redundanz-Selektionsleitungen entsprechend einer am Adreßbus anliegenden Adresse selektierbar sind. Weiterhin ist die Redundanz-Selektionsleitungsauswahlschaltung bevorzugt im Bereich des Redundanzadreßdecoders angeordnet. Der wie vorstehend ausgebildete Datenspeicher erweist sich als besonders vorteilhaft, weil die Redundanz-Selektionsleitungsauswahlschaltung sowohl in einem Programmierungszustand, in dem die Redundanzspeicherzellen defekte Speicherzellen zugeordnet werden, als auch in einem Betriebszustand, in dem die entsprechenden Redundanzspeicherzellen defekte Speicherzellen ersetzen, einfach zu betreiben ist. Im Programmierungszustand erfährt dann nämlich die Redundanz-Selektionsleitungsauswahlschaltung von dem angeschlossenen Adreßbus die Adressen der jeweils zu ersetzenden Speicherzellen über die gleichen Adreßleitungen, über die im Betrieb auf die Redundanzspeicherzellen zugegriffen wird. Dadurch wird der Schaltungsaufwand beträchtlich vermindert.

Besonders vorteilhaft ist der erfindungsgemäße Datenspeicher mit einem Adreßdecoder ausgebildet, der durch den Redundanzadreßdecoder deaktivierbar ist. Dadurch wird ein fehlerhaftes Auslesen von Information verhindert, da in dem Fall, in dem auf eine Redundanzspeicherzelle zugegriffen wird, keinerlei Zugriff auf eine Speicherzelle erfolgt. Weiterhin erhöht sich die Zuverlässigkeit des Datenspeichers.

Darüberhinaus ist es besonders vorteilhaft, wenn der Datenspeicher die folgenden Merkmale aufweist:

- der Adreßbus ist als paralleler Adreßbus mit einer Anzahl von Adreßbusleitungen ausgebildet,
- der Zuordnungsspeicher weist Zuordnungsspeicherzellen auf, wobei die Anzahl der Zuordnungsspeicherzellen gleich der Anzahl der Adreßbusleitungen ist.

Dadurch ergibt sich eine einfache Decodierung der am Adreßbus anliegenden Adresse sowohl im Programmiermodus als auch im Arbeitsmodus des Zuordnungsspeichers des Datenspeichers. Vorteilhafterweise sind gleich mehrere der wie vorstehend ausgebildeten Zuordnungsspeicher vorgesehen, wobei dann jeder Zuordnungsspeicher wenigstens eine Validierungsspeicherzelle mit einer Validierungsadreßleitung aufweist. Damit wird jeder Redundanz-Selektionsleitung wie beispielsweise einer Redundanzwortleitung genau ein Zuordnungsspeicher mit einem ganzen Satz von Zuordnungsspeicherzellen sowie mit einer Validierungsspeicherzelle beigeordnet, wobei alle Zuordnungsspeicher parallel auf den Adreßbus geschaltet werden. Somit empfängt jeder Zuordnungsspeicher die momentan auf dem Adreßbus anliegende Adresse, wobei bei geeigneter Programmierung der Zuordnungsspeicherzellen einzelne Zuordnungsspeicher zu bestimmten, auf dem Adreßbus anliegenden Adressen zuordenbar sind. Durch die geeignete Programmierung der Validierungsspeicherzelle kann dann sichergestellt werden, daß nur der gewünschte Zuordnungsspeicher auf die momentan am Adreßbus anliegende Adressen anspricht.

Die vorstehend erläuterten Ausbildungen des erfindungsgemäßen Datenspeichers erweisen sich vor allen Dingen beim Normalbetrieb des Datenspeichers als vorteilhaft, bei dem auf den Datenspeicher zugegriffen wird. Insbesondere zur einfachen Programmierung der Zuordnungsspeicher des erfindungsgemäßen Datenspeichers weist dieser die folgenden Merkmale auf:

- die Redundanz-Selektionsleitungsauswahlschaltung weist nicht nur einen, sondern mehrere und insbesondere statische Zuordnungsspeicher zur Aufnahme der Zuordnungsinformation auf,

– im Bereich der Zuordnungsspeicherzellen sind Zuordnungsadreßleitungen vorgesehen, wobei durch Anlegen wenigstens eines Zuordnungsadreßsignals an wenigstens eine Zuordnungsadreßleitung wenigstens ein Zuordnungsspeicher selektierbar ist.

5 Durch die vorstehende Weiterbildung der Erfindung kann einer der mehreren Zuordnungsspeicher beim Programmieren einfach ausgewählt werden.

Dabei ist vorteilhafterweise wenigstens ein zwischen einen Zuordnungsadreßbus und die Zuordnungsadreßleitungen geschalteter Zuordnungsspeicherauswahldecoder vorgesehen, der so ausgebildet sein kann, daß eine oder mehrere Zuordnungsadreßleitungen entsprechend einer am Zuordnungsadreßbus anliegenden Adresse selektierbar sind. Der Zuordnungsspeicherauswahldecoder kann dabei als Schaltwerk ausgebildet sein, das auf einem parallelen Bus ankommende  
10 kodierte Zuordnungsspeicheradressen in an einzelnen Zuordnungsspeichern anliegende Signale umwandelt.

Bei dem wie vorstehend ausgebildeten Gegenstand der Erfindung gewährleistet ein einziger Adreßbus den Zugriff auf das Speicherzellenfeld und die Redundanzspeicherzellen, während mit einem Zuordnungsadreßbus diejenigen Zuordnungsspeicherzellen adressiert werden, die zur Zuordnung der Redundanzspeicherzellen zu den Speicherzellen programmiert werden müssen.  
15

Bei einer besonders einfach zu handhabenden Ausgestaltung der Erfindung erfolgt das Programmieren der Zuordnungsspeicher, indem in jedem Zuordnungsspeicher die Adresse einer anderen zu ersetzenden Speicherzelle abgespeichert wird, wobei über den Zuordnungsspeicherauswahldecoder ausgewählt wird, welcher Zuordnungsspeicher die Adressierung für eine bestimmte zu ersetzende Speicherzelle übernimmt. Dabei wird das am Adreßbus anliegende Selektionssignal für die zu ersetzende Speicherzelle gleich als Programmierungssignal für den Zuordnungsspeicher mitverwendet, wobei durch geeignete Verschaltung sichergestellt ist, daß immer nur ein Zuordnungsspeicher zur Zeit mit einer Adresse programmiert wird. In dieser Ausgestaltung ergibt sich der erfindungswesentliche Vorteil, daß bereits die am Adreßbus anliegenden Signale geringer Stärke ausreichen, um den Zuordnungsspeicher mit den Zuordnungsinformationen zu versorgen. Im Stand der Technik war dies nicht möglich, vielmehr wurden zum Programmieren der Redundanz-  
20 Selektionsleitungsauswahlschaltung hohe separat erzeugte Programmierspannungen benötigt.

Die Erfindung ist in der Zeichnung anhand eines Ausführungsbeispiels näher veranschaulicht.

Fig. 1 zeigt ein Blockschaltbild eines erfindungsgemäßen Datenspeichers,

Fig. 2 zeigt ein vereinfachtes Blockschaltbild, das die Arbeitsweise einer Zuordnungsspeicherzelle zusammen mit einem Latch in eines erfindungsgemäßen Datenspeicher veranschaulicht,  
25

Fig. 3 zeigt ein Blockschaltbild eines Redundanzadreßdecoders des Datenspeichers aus Fig. 1,

Fig. 4 zeigt ein Blockschaltbild eines Zuordnungsspeicherauswahldecoders aus Fig. 3,

Fig. 5 zeigt ein Blockschaltbild eines Zuordnungsspeichers des Redundanzadreßdecoders aus Fig. 3,

Fig. 6 zeigt ein Schaltbild einer Zuordnungsspeicherzelle des Zuordnungsspeichers aus Fig. 5,

Fig. 7 zeigt eine Sense-Schaltung der in Fig. 6 gezeigten Zuordnungsspeicherzelle in näherem Detail,  
30

Fig. 8 zeigt eine als Stacked-Gate-Zelle ausgestaltete Zuordnungsspeicherzelle, und

Fig. 9 zeigt eine als Split-Gate-Zelle ausgestaltete Zuordnungsspeicherzelle.  
35

Fig. 1 zeigt einen erfindungsgemäßen Datenspeicher 1, der auf einem in dieser Ansicht nicht gezeigten Halbleitersubstrat erzeugt ist.

Der Datenspeicher 1 hat ein Speicherzellenfeld 2, das beispielsweise ein DRAM, ein SRAM, ein EEPROM, ein Flash oder ein FRAM sein kann. Das Speicherzellenfeld 2 weist senkrecht zueinander verlaufende Wortleitungen XSEL0 bis XSELn sowie Bitleitungen YSEL0 bis YSELn auf. Über die Wort- und Bitleitungen können durch Anlegen geeigneter Selektionssignale einzelne Speicherzellen im Speicherzellenfeld 2 ausgewählt werden. In Fig. 1 ist dabei nur eine einzige Speicherzelle S1 dargestellt, die durch Selektieren der Wortleitung XSEL0 und der Bitleitung YSEL0 ausgewählt wird. In dieser Ansicht sind zum Speicherzellenfeld zugehörige Ansteuerschaltungen wie beispielsweise Pegelwandler nicht gezeigt.  
40

Der Datenspeicher 1 weist weiterhin ein Redundanzspeicherzellenfeld 3 auf, das Redundanzwortleitungen RXSEL0 bis RXSEL3 aufweist. Im übrigen verwendet das Redundanzspeicherzellenfeld 3 die Bitleitungen YSEL0 bis YSELn des Speicherzellenfelds 2 mit. Über die Redundanzwortleitungen RXSEL0 bis RXSEL3 und die Bitleitungen YSEL1 bis YSELn können Redundanzspeicherzellen des Redundanzspeicherzellenfelds 3 ausgewählt werden. In Fig. 1 ist nur eine Redundanzspeicherzelle RS1 dargestellt, die durch Anlegen geeigneter Signale an die Wortleitung RXSEL0 und an die Bitleitung YSEL0 ausgewählt werden kann. Der Datenspeicher 1 hat weiterhin einen Adreßdecoder 4 für die Wortleitungen XSEL0 bis XSELn des Speicherzellenfelds 2. Der Adreßdecoder 4 empfängt Adreßdaten von einem parallelen Adreßbus 5, der mehrere parallele Adreßleitungen aufweist, was in der Zeichnung durch einen auf dem Adreßbus 5 angebrachten Schrägstrich verdeutlicht ist. Der Adreßdecoder 4 wandelt die am Adreßbus 5 anliegenden Adreßen in Ansteuerungssignale für die Wortleitungen bis XSELn um. Der Adreßdecoder 4 ist hierzu auf übliche Weise aufgebaut und wird hier nicht eigens beschrieben. Weiterhin weist der Adreßdecoder 4 einen Deaktivierungseingang 6 auf. Wird an den Deaktivierungseingang 6 ein logisches "1"-Signal angelegt, werden alle Signale XSEL0 bis XSELn auf logisch "0" gesetzt.  
45

Der Datenspeicher 1 hat schließlich noch einen Redundanzadreßdecoder 7, der in Abhängigkeit von seiner internen Programmierung und den vom Adreßbus 5 ankommenden Adreßdaten die Redundanzwortleitungen RXSEL0 bis RXSEL3 ansteuert. Der Redundanzadreßdecoder 7 steht mit dem Deaktivierungseingang 6 des Adreßdecoders 4 in Verbindung, und zwar derart, daß der Adreßdecoder durch den Redundanzadreßdecoder 7 deaktivierbar ist. Der Redundanzadreßdecoder 7 weist für seine Programmierung und seinen Betrieb einen Zuordnungsadreßbus 8 sowie verschiedene Programmierungssteuerungssignale auf, über die Programmierungssteuerungssignale PROGn, READ, ENA und LO-  
50 ADN in den Redundanzadreßdecoder 7 eingegeben werden können.

In Fig. 1 ist die aus Redundanzspeicherzellenfeld 3 und Redundanzadreßdecoder 7 bestehende Redundanzschaltung exemplarisch für die Wortleitungen XSEL0 bis XSELn vorgesehen. Ebenso kann eine Redundanzschaltung für die Bitleitungen YSEL0 bis YSELn vorgesehen sein. Wegen der vereinfachten Darstellung ist eine derartige Redundanzschal-  
55

tung für die Bitleitungen in dieser Ansicht nicht gezeigt.

Fig. 2 zeigt das Grundprinzip des Betriebs einer erfindungsgemäßen Zuordnungsspeicherzelle in einem Datenspeicher, die hier als Flash-Zelle 150 ausgebildet ist, zusammen mit einem Zwischenspeicher bzw. Latch 151. Mit einem Signal LOAD werden Selektionsdaten (d. h. Daten, die angeben, daß eine Zuordnungsspeicherzelle bestimmten Zustand "0" oder "1" aufweist) von dem Eingangsbus <Daten> in den Latch 151 geladen. Der Ausgang des Latch 151 ist Teil der Steuerung Redundanzdecoders, wobei der Redundanzdecoder entsprechend der Anzahl der Redundanz-Selektionsleitungen und entsprechend der Anzahl der Leitungen eines Datenbus zum Zugriff auf den Datenspeicher eine Anzahl von "Register" aus Flash-Zelle 150 und Latch 151 aufweist. Die Ausgänge aller Register zusammen stellen den aktuellen Stand der Programmierung des Redundanzdecoders dar. Mit einem Signal PROG wird die Information des Latch nichtflüchtig in die Flash-Zelle programmiert. Mit dem Signal READ wird diese nichtflüchtige Information wieder in das Latch übertragen, beispielsweise, wenn der Datenspeicher zur Inbetriebnahme erstmals mit Energie versorgt wird.

Fig. 3 zeigt den Redundanzadressdecoder 7 aus Fig. 1 in näherem Detail. Zentrale Bestandteile des Betriebsbereiches des Redundanzadressdecoders 7 sind vier Zuordnungsspeicher 10, 11, 12 und 13, die ausgangsseitig jeweils mit einer der Redundanzwortleitungen RXSEL0 bis RXSEL3 in Verbindung stehen. Eingangsseitig stehen die Zuordnungsspeicher 10, 11, 12 und 13 mit dem Adreßbus 5 in Verbindung. Zusätzlich ist jeder der Zuordnungsspeicher 10, 11, 12 und 13 mit einer Aktivierungsleitung verbunden, die ein Signal ENA liefert.

Zur Generierung eines Deaktivierungssignals DIS für den Deaktivierungseingang 6 des Adreßdecoders 4 ist ein Deaktivierungsschaltwerk 14 vorgesehen. Das Deaktivierungsschaltwerk 14 weist zwei NAND-Gatter mit jeweils zwei Eingängen auf, wobei ein NAND-Gatter eingangsseitig mit den Redundanzwortleitungen RXSEL0 und RXSEL1 verbunden ist, während das andere NAND-Gatter eingangsseitig mit den Redundanzwortleitungen RXSEL2 und RXSEL3 verbunden ist. Die Ausgänge der NAND-Gatter werden zwei Eingängen eines NOR-Gatters zugeführt, das das Signal DIS generiert.

Der Adreßbus 5 bildet zusammen mit den Zuordnungsspeichern 10, 11, 12 und 13 sowie mit dem Deaktivierungsschaltwerk 14 den im Normalbetrieb des Datenspeichers 1 aktiven Betriebsbereich des Redundanzadressdecoders 7. Es ist klar, daß mit steigender Anzahl von Redundanzwortleitungen RXSEL eine steigende Anzahl von Zuordnungsspeichern im Redundanzadressdecoder 7 vorgesehen werden müssen. Im Ausführungsbeispiel der Erfindung sind jedoch nur vier Redundanzwortleitungen vorgesehen.

Der Redundanzadressdecoder 7 hat auch einen Programmierungsbereich, der ausschließlich im Programmierungsmodus des Datenspeichers 1 aktiv ist. Dazu weist der Datenspeicher 1 einen Zuordnungsadressdecoder 15 auf, der eingangsseitig mit dem Zuordnungsadreßbus 8 sowie mit der Steuerungsleitung LOADN verbunden ist. Auf die Eingabe eines geeigneten Zuordnungsadreßsignals auf dem Zuordnungsadreßbus 8 und eines Signals LOADN wird einer der vier Zuordnungsspeicher 10, 11, 12 und 13 für den Programmierbetrieb aktiviert. Hierzu weist der Redundanzadressdecoder 15 vier Ausgangsleitungen 16 auf, die mit Y0, Y1, Y2 und Y3 bezeichnet sind und die zu Aktivierungseingängen LOAD der Zuordnungsspeicher 10, 11, 12 und 13 zugeführt werden. Weiterhin werden den Zuordnungsspeichern 10, 11, 12, und 13 die externen Programmierungs- Steuerungssignale PROG und ENA zugeführt.

Die Zuordnungsspeicher 10, 11, 12 und 13 weisen weiterhin je drei Eingänge ZE auf, die über je eine Ansteuergruppe 23 aus drei Flash-Zellen 24 durch eine betätigbare Treiberschaltung 17 (WLDIV) mit einer Programmiervspannung versorgt werden, wobei die insbesondere deren Polarität von dem gewünschten Betriebsmodus des Redundanzdecoders 7 abhängt. Die von der Treiberschaltung 17 an die Eingänge ZE (Control Gates der als Zuordnungsspeicherzellen verwendeten Flash-Zellen) ergeben sich wie folgt:

Betriebs- bedingungen	Program- mieren	Löschen	Ruhe	Lesen
V <sub>CG</sub>	-12V  (0V im deselek- tierten Zustand)	15V	0V	2,5V

Die genaue Funktionsweise der Treiberschaltung 17 ist hier nicht gezeigt.

Fig. 4 zeigt den Zuordnungsadressdecoder 15 aus Fig. 3 in näherem Detail. Wie man sieht, weist der Zuordnungsadressdecoder 15 vier NAND-Gatter mit jeweils zwei Eingängen auf, die mit zwei Invertern wie in Fig. 4 gezeigt zu einem Zuordnungsadressdecoder-Schaltwerk 18 verschaltet sind. Wie man in dieser Ansicht besonders gut sieht, hat der Zuordnungsadreßbus 8 nur zwei Zuordnungsadreßleitungen ZADR0 und ZADR1. Aus den beiden jeweils binär codierten Zuordnungsadreßleitungen des Zuordnungsadreßbus 8 werden die Signale für die vier Ausgangsleitungen 16 generiert, und zwar indem je ein Ausgang eines NAND-Gatters zusammen mit dem externen Programmiervsignal LOADN je einem NOR-Gatter 20 zugeführt wird. Je ein Ausgang eines NOR-Gatters 20 generiert eines der Signale für die Ausgangsleitungen Y0, Y1, Y2 und Y3. Dadurch wird wie in Fig. 4 gezeigt ein Zuordnungsadreßsignal "00" auf dem Zuordnungsadreßbus 8 so umgewandelt, daß an der Ausgangsleitung Y0 der logische Pegel "1" anliegt, während bei den übrigen

Ausgangsleitungen Y1, Y2 und Y3 der logische Pegel "0" anliegt.

Fig. 5 zeigt den Zuordnungsspeicher 10 aus Fig. 3 in näherem Detail. Wie man in dieser Ansicht besonders gut sieht, umfaßt der Adreßbus 5, der dem Zuordnungsspeicher 10 zugeführt wird, hier nur zwei Adreßleitungen ADR0 und ADR1. Entsprechend der Anzahl der Einzelleitungen des Adreßbus 5 sind zwei Zuordnungsspeicherzellen 19 und 20 im Zuordnungsspeicher 10 vorgesehen. Dabei steht die Zuordnungsspeicherzelle 19 eingangsseitig (Anschluß DATA) mit der Leitung ADR0 des Adreßbus 5 in Verbindung, während die Zuordnungsspeicherzelle 20 eingangsseitig (Anschluß DATA) mit der Leitung ADR1 des Adreßbus 5 in Verbindung steht. Mit steigender Zahl von Einzelleitungen des Adreßbus 5 sind steigende Anzahlen von Zuordnungsspeicherzellen notwendig, um eine korrekte Adreßdecodierung zu gewährleisten.

Weiterhin ist im Zuordnungsspeicher 10 eine Validierungsspeicherzelle 21 vorgesehen, die eingangsseitig (Anschluß DATA) mit der bereits in Fig. 3 gezeigten Programmierungsleitung ENA in Verbindung steht.

Die beiden Ausgänge DOUT der Zuordnungsspeicherzelle 19 und der Zuordnungsspeicherzelle 20 sind je einem XNOR-Gatter mit zwei Eingängen zugeführt, wobei jeweils der andere Eingang des XNOR-Gatters mit dem jeweiligen Eingangsanschluß DATA der Zuordnungsspeicherzelle verbunden ist. Die Ausgänge der beiden XNOR-Gatter sowie der Ausgang DOUT der Validierungsspeicherzelle 21 sind einem AND-Gatter mit drei Eingängen zugeführt. Der Ausgang des AND-Gatters führt zu der Redundanzwortleitung RXSEL0, wie am besten in Fig. 3 zu sehen ist.

Die Zuordnungsspeicherzellen 19 und 20 sowie die Validierungsspeicherzelle 21 sind an sich jeweils identisch aufgebaut. Sie weisen eine erste Gruppe von Programmierungs- und Steuereingangsleitungen VPROG, PROG und LOAD auf, die an entsprechende Programmierungs- und Steuerungsleitungen zum Zuordnungsspeicher 10 angeschlossen sind. Weiterhin sind an den Zuordnungsspeicherzellen 19 und 20 sowie an der Validierungsspeicherzelle 21 eine zweite Gruppe von Programmierungseingängen READ, READN und READCLP vorgesehen, wobei die entsprechenden Programmierungssignale READN und READCLP aus dem externen Signal READ generiert werden. Hierzu wird das Signal READ zunächst über einen Inverter 26 zum Signal READN invertiert. Aus dem Signal READN wird dann über eine in Fig. 5 gezeigte Treiberschaltung 127 das Analogsignal READCLP generiert. Wenn READ gleich der Spannung Vdd ist (z. B. gleich 5 V), dann gilt  $READCLP = VCLP$  (für z. B.  $VCLP = 1,2 \text{ V}$ ).

Hinsichtlich des Aufbaus des Zuordnungsspeichers 10 ist noch wesentlich, daß die Zuordnungsspeicherzellen 19 und 20 sowie die Validierungsspeicherzelle 21 bezüglich der Programmierungseingänge VPROG, PROG, LOAD, READ, READN und READCLP parallel geschaltet sind.

Fig. 6 zeigt die Zuordnungsspeicherzelle 19 aus Fig. 5 in näherem Detail. Die Zuordnungsspeicherzelle 19 gliedert sich in eine Leseschaltung 27 (SENSE) und in eine Hochvolt-Latcheschaltung 28 (LATHV). Bei LOAD gleich logisch "1" wird der Wert von DATA in die Latcheschaltung 28 übertragen und erscheint an DOUT. Mit LOAD gleich logisch "0" wird der Wert gehalten. LATHV besitzt einen zweiten Eingang DN, wobei der Wert an diesem Eingang invertiert in die Latcheschaltung 28 übertragen wird. Da dieser Eingang kein eigenes Selektionssignal hat, muß der Eingang im Ruhezustand hochohmig beschaltet sein.

Fig. 7 zeigt die Leseschaltung 27 aus Fig. 6 in näherem Detail. Entsprechend den Anforderungen der Latcheschaltung 28 hat die Leseschaltung 27 einen Tristate-Ausgang DN. Im Fall READ gleich logisch "0" ist dieser Ausgang hochohmig. Im Fall READ gleich logisch "1" wird der detektierte Wert der Flash-Zelle (niedriges Vt gleich logisch "1" gleich 0 V auf der Leitung ZE) in die Latcheschaltung 28 übertragen. Im Programmiermodus (PROG = 0) wird je nach gespeicherter Information die Programmiervoltage an VPROC (z. B. 5 V) oder 0 V auf die Ausgänge ZE durchgeschaltet. Das Control Gate der Zellen wird beim Programmieren auf z. B. -12 V gehalten. Vor jedem Programmieren müssen die Flash-Zellen durch Anlegen von z. B. 15 V am Control Gate und 0 V an ZE gelöscht werden.

Das an ZE anliegende Signal wird über N1 an P1 und P2 gespiegelt und ggf. verstärkt. Der Strom-Schaltzpunkt der Schaltung wird dabei durch Dimensionierung von N1, P1, P2 und N2 eingestellt. Der Ausgang DN kann einen hochohmigen Zustand annehmen, indem  $READ = 0 \text{ V}$  und  $READN = Vdd$  gesetzt werden.

Fig. 8 zeigt eine als Stacked-Gate-Zelle 115 ausgestaltete Speicherzelle eines erfindungsgemäßen Zuordnungsspeichers. In ein Substrat 108 ist durch Dotierung eine Source 109 sowie eine Drain 110 eingebracht. Auf dem Substrat befindet sich eine Tunneloxid-Schicht 111, auf der eine Floating-Gate-Schicht 112 aufgebracht ist. Auf der Floating-Gate-Schicht 112 ist ein Inter-Poly-Dielectricum 113 aufgebracht. Schließlich ist auf dem Inter-Poly-Dielectricum 113 noch eine Control-Gate-Schicht 114 aufgebracht, die ebenfalls ausschließlich mit dem Inter-Poly-Dielectricum in Verbindung steht. Unterhalb der Darstellung in Fig. 8 ist die symbolhafte Bezeichnung der Stacked-Gate-Zelle 115 angegeben.

Fig. 9 zeigt eine als Split-Gate-Zelle 116 ausgestaltete Speicherzelle eines erfindungsgemäßen Datenspeichers. In ein Halbleitersubstrat ist eine Source 117 und eine Drain 118 durch Dotieren eingebracht. Auf dem Substrat befindet sich eine Tunneloxid-Schicht 119 sowie ein Floating-Gate-Bereich 120. Auf den Floating-Gate-Bereich 120 ist ein Inter-Poly-Dielectricum 121 aufgebracht, und zwar derart, daß sich ein Bereich des Inter-Poly-Dielectricums 121 von der Oberseite des Floating-Gates 120 herunter auf die Tunneloxid-Schicht 119 erstreckt. Auf dem Inter-Poly-Dielectricum 121 befindet sich das Control-Gate 122, wobei der sich von dem Bereich oberhalb des Inter-Poly-Dielectricums 121 in den Bereich der Tunneloxid-Schicht 119 erstreckende Bereich als Serien-Gate 123 ausgebildet ist.

Im Betrieb verhält sich der erfindungsgemäße Datenspeicher 1, wie nachfolgend anhand der Fig. 1 bis 7 beschrieben ist. Dazu wird angenommen, daß nach der Herstellung des Datenspeichers 1 in einem Testvorgang herausgefunden wurde, daß die Speicherzelle S1 defekt ist und daß die als ordnungsgemäß arbeitend herausgefundene Redundanzspeicherzelle RS1 deren Funktion übernehmen soll.

Beim Programmieren des Datenspeichers 1 derart, daß die Funktion der Speicherzelle S1 durch die Redundanzspeicherzelle RS1 übernommen wird, wird dazu am Adreßbus 1 eine Wortleitungsadresse "00" angelegt, die die Wortleitung XSEL0 anwählt. Dazu wird auf den beiden Selektionsleitungen ADR0 und ADR1 des Adreßbus 5 (vgl. Fig. 5) der Wert logisch "00" erzeugt.

Da der Zuordnungsspeicher 10 die Zuordnung der Redundanzspeicherzelle RS1 vornimmt, muß dieser zunächst für seine Programmierung 10 ausgewählt werden. Dies geschieht dadurch, daß am Zuordnungsadreßbus 8 eine Zuordnungsadresse "00" angelegt wird, die über die Ausgangsleitung Y0 (vgl. Fig. 3 und Fig. 4) den Zuordnungsspeicher 10 aus-



wählt. Wie in Fig. 4 gezeigt ist, geschieht dies dadurch, daß auf Zuordnungsadreßleitungen ZADR0 und ZADR1 die logische Adresse "00" angelegt wird. Daraufhin erscheint an der Ausgangsleitung Y0 ein Zustand logisch "1", während die übrigen Ausgangsleitungen Y1, Y2 und Y3 jeweils auf dem logischen Pegel "0" liegen. Durch Anlegen von LOADN = "0" werden die RAM-Zellen in der Zuordnungsspeicherzelle 19 mit den an den Leitungen ADR0 und ADR1 anliegenden Werten belegt.

Vor dem Programmieren des nichtflüchtigen Teils werden die Flash-Zellen im Zuordnungsspeicher 10 durch Anlegen von 15 V am Control-Gate und von 0 V an ZE gelöscht (vgl. Fig. 6 und 7). Außerdem müssen noch die Leitungen PROG (Fig. 5) auf "0" gesetzt werden und eine entsprechende Programmiervoltage an VPROG angelegt werden (vgl. Beschreibung zu den Fig. 6 und 7). Auf diese Weise werden in den nichtflüchtigen Teil der Zuordnungsspeicherzelle 19 und der Zuordnungsspeicherzelle 20 die Werte logisch "0" geschrieben, und zwar entsprechend den auf den Selektionsleitungen ADR0 und ADR1 anliegenden logischen Werten.

Außerdem wird die Eingangsleitung ENA (vgl. Fig. 3 und Fig. 5) auf den Zustand logisch "1" gebracht. In der Validierungsspeicherzelle 21 befindet sich nach dem Programmieren entsprechend dem auf der Eingangsleitung ENA anliegenden Wert logisch "1" ebenfalls der Wert logisch "1". Dadurch ist nach dem Programmieren die Redundanzspeicherzelle RS1 der Speicherzelle S1 zugeordnet. Im Betrieb verhält sich der wie vorstehend programmierte Datenspeicher 1 wie nachfolgend beschrieben. Dazu wird angenommen, daß im Betrieb des Datenspeichers 1 versucht werden soll, auf die Speicherzelle S1 zuzugreifen. Dazu wird auf die Selektionsleitungen ADR0 und ADR1 des Adreßbusses 5 das Adreßdatum logisch "00" angelegt (vgl. Fig. 5). Die Programmierungsleitungen ENA, READ, READN, VPROG und PROG haben bei dem Betrieb des Datenspeichers 1 nach dessen Initialisierung keinerlei Funktion, sie werden deaktiviert gehalten.

An den beiden Eingängen der in Fig. 5 gezeigten XNOR-Gatter liegt dann jeweils der Wert logisch "0" an, und zwar einmal aufgrund des von den Selektionsleitungen ADR0 und ADR1 gelieferten Wertes logisch "0" und aufgrund der von den Zuordnungsspeicherzelle 19 und 20 gelieferten und während des Programmierens gespeicherten Wertes logisch "0". Die Ausgänge der XNOR-Gatter in Fig. 5 erzeugen daraufhin den Wert logisch "1", der dem AND-Gatter in Fig. 5 zugeführt wird. In der Validierungsspeicherzelle 21 befindet sich aufgrund der Programmierung der Wert logisch "1", der ebenfalls dem AND-Gatter mit drei Eingängen in Fig. 5 zugeführt wird. Somit geht der Ausgang des AND-Gatters mit drei Eingängen in Fig. 5 auf logisch "1" über, was die Redundanzwortleitung RXSEL0 (vgl. Fig. 3) auswählt. Auf diese Weise wird die zur Redundanzspeicherzelle RS1 zugehörige Wortleitung RXSEL0 ausgewählt, wenn am Adreßbus 5 die zur Speicherzelle S1 weisende Adresse anliegt. Da die Ausgänge RSEL der Zuordnungsspeicher 11, 12 und 13 (vgl. Fig. 3) sich auf dem Zustand 0 befinden, während der Ausgang RSEL des Zuordnungsspeichers 10 den Wert logisch "1" hat, nimmt der Ausgang DIS des Deaktivierungsschaltwerks 14 in Fig. 3 den Wert logisch "1" an. Dadurch wird der Adreßdecoder 4 (vgl. Fig. 1) deaktiviert, so daß Wechselwirkungen zwischen dem Ausgang der Speicherzelle S1 und dem Ausgang der Redundanzspeicherzelle RS1 verhindert werden.

#### Patentansprüche

##### 1. Halbleiterdatenspeicher (1), der die folgenden Merkmale aufweist:

- wenigstens ein Speicherzellenfeld (2), das Speicherzellen (S1) aufweist, wobei die Speicherzellen (S1) durch Anlegen wenigstens eines Selektionssignals an im Bereich der Speicherzellen (S1) vorgesehene Selektionsleitungen (XSEL1, ..., XSELn) selektierbar sind, wobei die Selektionsleitungen Wortleitungen und/oder Bitleitungen umfassen,
- eine Redundanzschaltung (3, 7), die wenigstens eine Redundanzspeicherzelle (RS1) aufweist, wobei die Redundanzspeicherzellen (RS1) durch Anlegen wenigstens eines Redundanz-Selektionssignals an im Bereich der Redundanzspeicherzellen (RS1) vorgesehene Redundanz-Selektionsleitungen (RXSEL1, ..., RXSEL4) selektierbar sind, wobei die Redundanz-Selektionsleitungen Redundanzwortleitungen (RXSEL1, ..., RXSEL4) und/oder Redundanzbitleitungen umfassen,
- eine Redundanz-Selektionsleitungsauswahlschaltung, die mindestens einen Zuordnungsspeicher aufweist, in dem eine Zuordnungsinformation abspeicherbar ist, wobei die Redundanz-Selektionsleitungsauswahlschaltung so ausgebildet ist, daß aufgrund der Zuordnungsinformation wenigstens eine Redundanz-Selektionsleitung (RXSEL1) zu wenigstens einer Selektionsleitung (XSEL1) zuordenbar ist,
- der Zuordnungsspeicher weist zur Aufnahme der Zuordnungsinformation eine Zuordnungsspeicherzelle mit einem Zwischenspeicher auf,
- der Zuordnungsspeicher ist so ausgebildet, daß in einem Betriebsmodus des Halbleiterdatenspeichers (1) die Zuordnungsinformation von der Zuordnungsspeicherzelle in den Zwischenspeicher übertragbar ist,

gekennzeichnet durch das folgende Merkmal:

- der Zuordnungsspeicher ist so ausgebildet, daß in einem Programmiermodus des Halbleiterdatenspeichers (1) die Zuordnungsinformation vom Zwischenspeicher in die Zuordnungsspeicherzelle übertragbar ist.

2. Halbleiterdatenspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die Zuordnungsspeicherzellen so ausgebildet sind, daß sie mit einer positiven Spannung löschar und mit einer negativen Spannung programmierbar sind.
3. Halbleiterdatenspeicher nach Anspruch 2, dadurch gekennzeichnet, daß die Zuordnungsspeicherzellen als Flash-Speicherzellen ausgebildet sind, die mit einer positiven Spannung am Control Gate löschar und mit einer negativen Spannung am Control Gate programmierbar sind.
4. Halbleiterdatenspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Zuordnungsspeicherzellen so ausgebildet sind, daß sie jeweils unter Anwendung von Fowler-Nordheim-Tunnelsrömen löschar und programmierbar sind.
5. Halbleiterdatenspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Zuordnungsspeicherzellen jeweils als Stacked-Gate-Zelle ausgebildet sind.
6. Halbleiterdatenspeicher nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Zuordnungsspei-

cherzellen jeweils als Split-Gate-Zelle ausgebildet sind.

7. Halbleiterdatenspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß er die folgenden Merkmale aufweist:

- wenigstens einen Adreßdecoder (4), der zwischen einen Adreßbus (5) und die Selektionsleitungen (XSEL1, ..., XSELn) geschaltet ist und der so ausgebildet ist, daß eine oder mehrere Selektionsleitungen (XSEL1, ..., XSELn) entsprechend einer am Adreßbus (5) anliegenden Adresse selektierbar sind,
- wenigstens einen Redundanzadreßdecoder (7), der zwischen den Adreßbus (5) und die Redundanz-Selektionsleitungen (RXSEL1, ..., RXSEL4) geschaltet ist und der so ausgebildet ist, daß eine oder mehrere Redundanz-Selektionsleitungen (RXSEL1, ..., RXSEL4) entsprechend einer am Adreßbus (5) anliegenden Adresse selektierbar sind, und
- die Redundanz-Selektionsleitungsauswahlschaltung ist im Bereich des Redundanzadreßdecoders (7) angeordnet.

8. Halbleiterdatenspeicher nach Anspruch 7, dadurch gekennzeichnet, daß der Adreßdecoder (4) so ausgebildet ist, daß er durch den Redundanzadreßdecoder (7) deaktivierbar ist.

9. Halbleiterdatenspeicher nach Anspruch 7 oder Anspruch 8, dadurch gekennzeichnet, daß er die folgenden Merkmale aufweist:

- der Adreßbus (5) ist als paralleler Bus mit einer Anzahl von Adreßbusleitungen (ADR0, ADR1) ausgebildet,
- der Zuordnungsspeicher (10, 11, 12, 13) weist Zuordnungsspeicherzellen (19, 20) auf, wobei die Anzahl der Zuordnungsspeicherzellen (19, 20) gleich der Anzahl der Adreßbusleitungen (ADR0, ADR1) ist.

10. Halbleiterdatenspeicher nach Anspruch 9, dadurch gekennzeichnet, daß der Zuordnungsspeicher (10, 11, 12, 13) wenigstens eine Validierungsspeicherzelle (21) mit einer Validierungsadreßleitung (ENA) aufweist.

11. Halbleiterdatenspeicher nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß er die folgenden Merkmale aufweist:

- die Redundanz-Selektionsleitungsauswahlschaltung weist mehrere Zuordnungsspeicher (10, 11, 12, 13) zur Aufnahme der Zuordnungsinformation auf,
- im Bereich der Zuordnungsspeicherzellen sind Zuordnungsadreßleitungen (SEL1, ..., SEL2) vorgesehen, wobei durch Anlegen wenigstens eines Zuordnungssignals an wenigstens eine Zuordnungsadreßleitung (SEL1, ..., SEL4) wenigstens ein Zuordnungsspeicher (10, 11, 12, 13) selektierbar ist.

12. Halbleiterdatenspeicher nach Anspruch 6, dadurch gekennzeichnet, daß wenigstens ein zwischen einen Zuordnungsadreßbus (8) und die Zuordnungsadreßleitungen (SEL1, ..., SEL4) geschalteter Zuordnungsspeicherauswahldecoder (15) vorgesehen ist, der so ausgebildet ist, daß eine oder mehrere Zuordnungsadreßleitungen (SEL1, ..., SEL4) entsprechend einer am Zuordnungsadreßbus (8) anliegenden Adresse selektierbar sind.

---

Hierzu 6 Seite(n) Zeichnungen

---



FIG 1

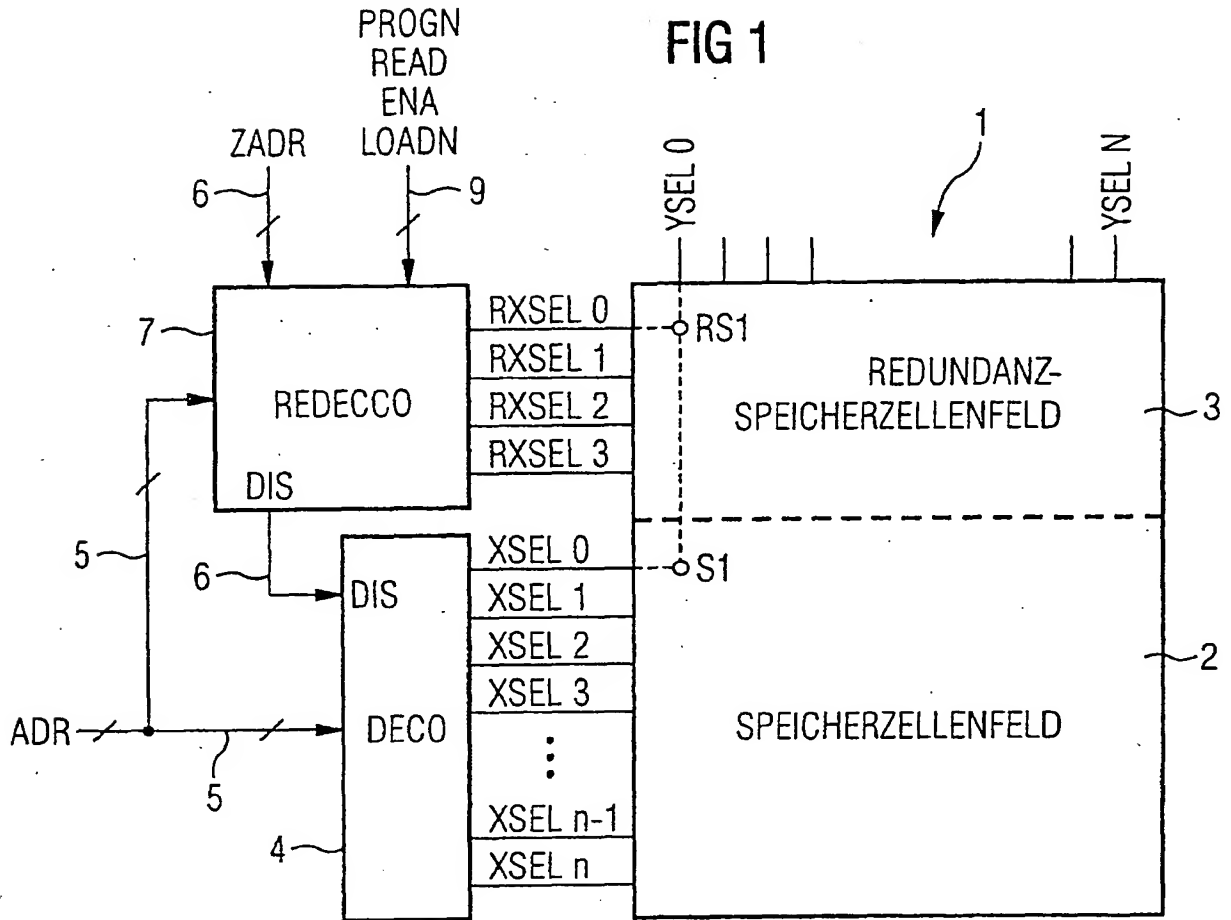
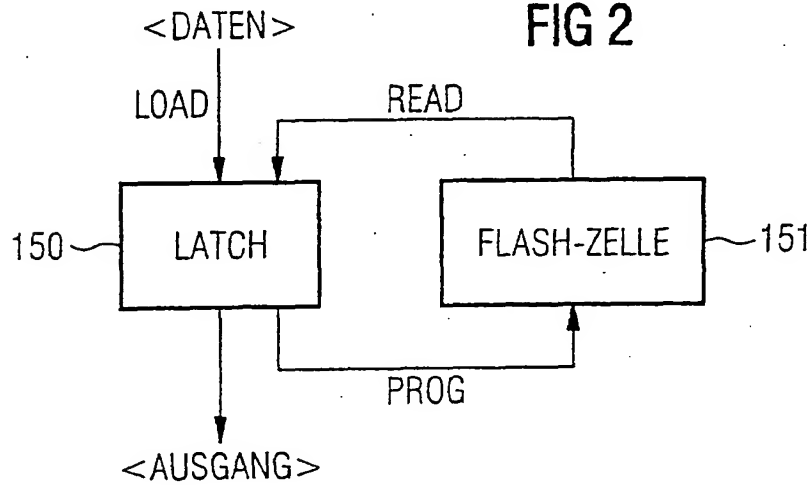


FIG 2



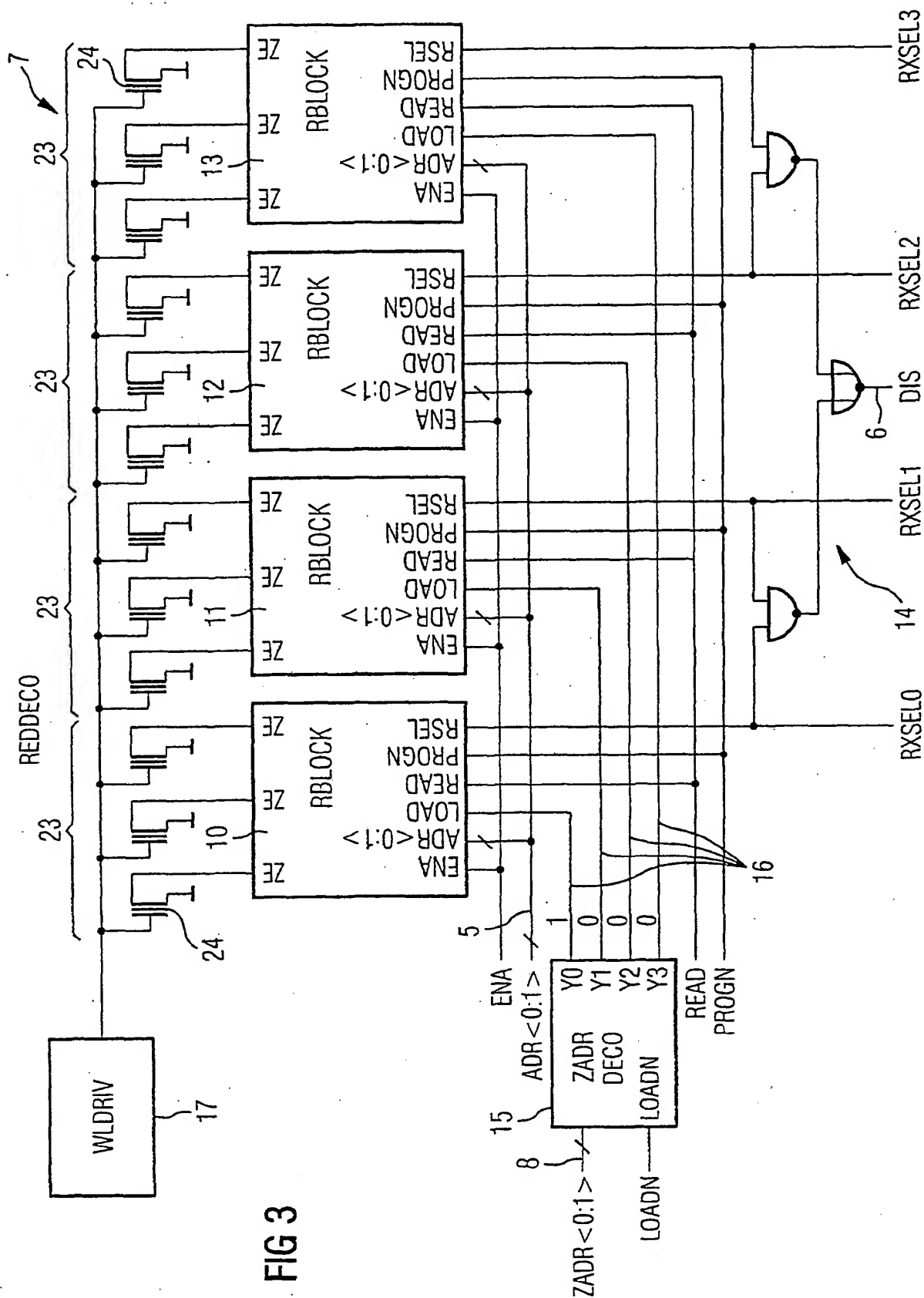


FIG 4

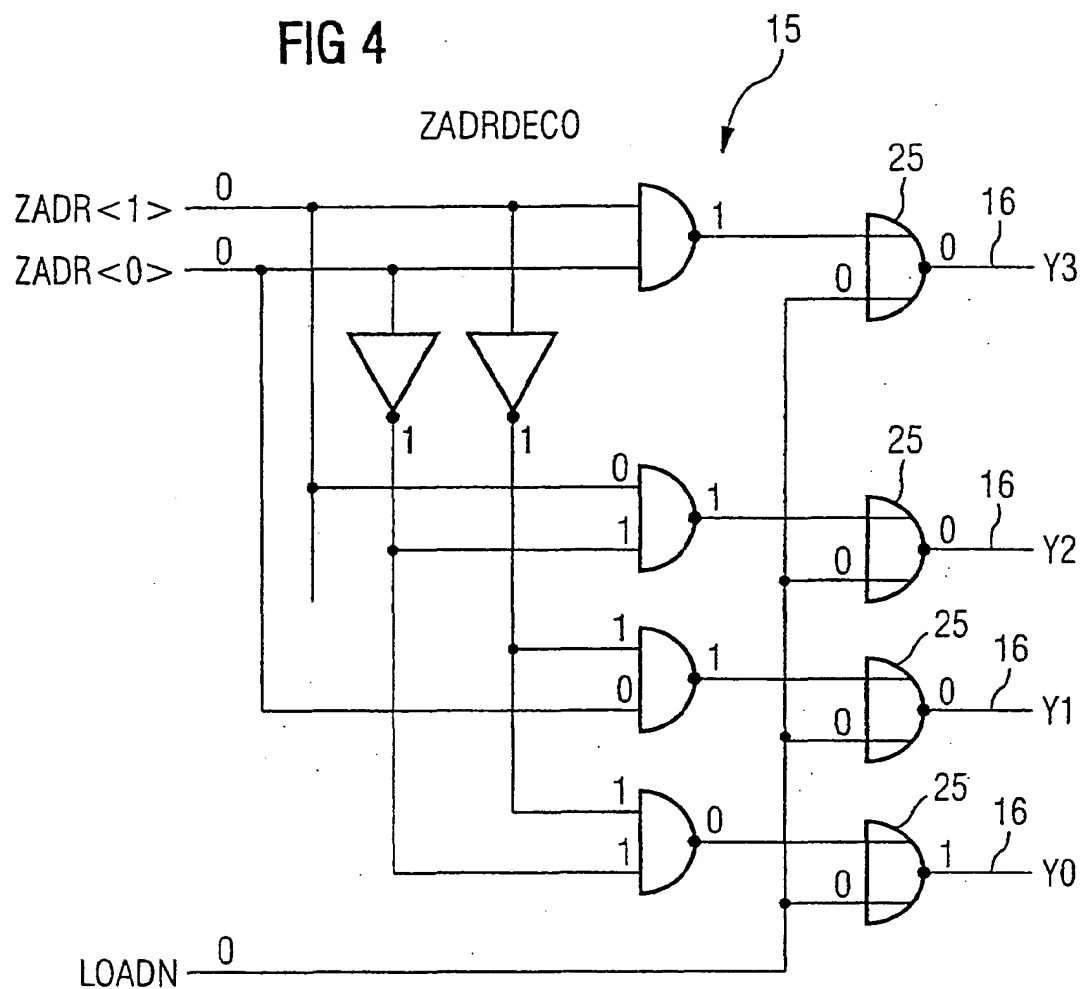


FIG 5

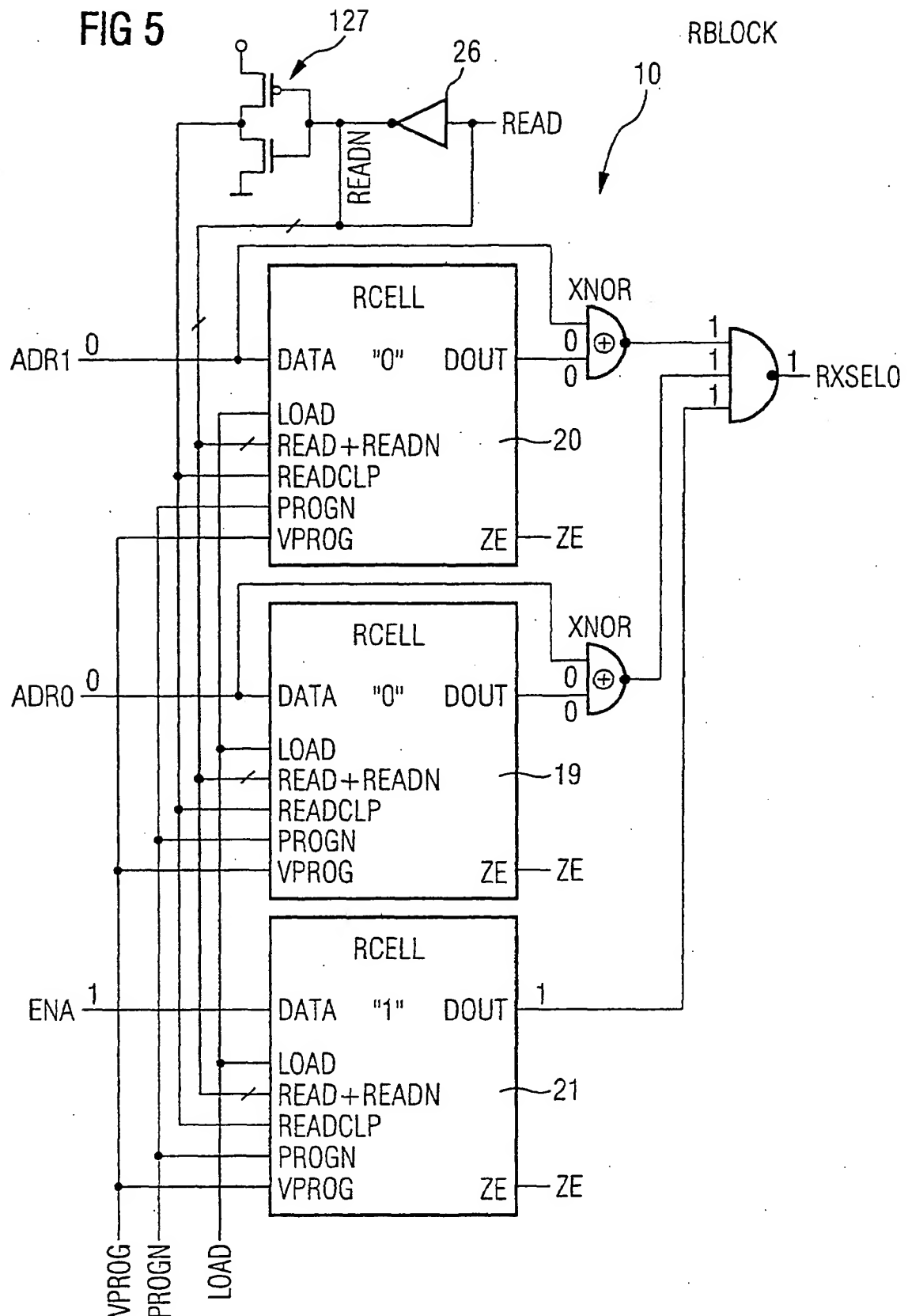


FIG 6

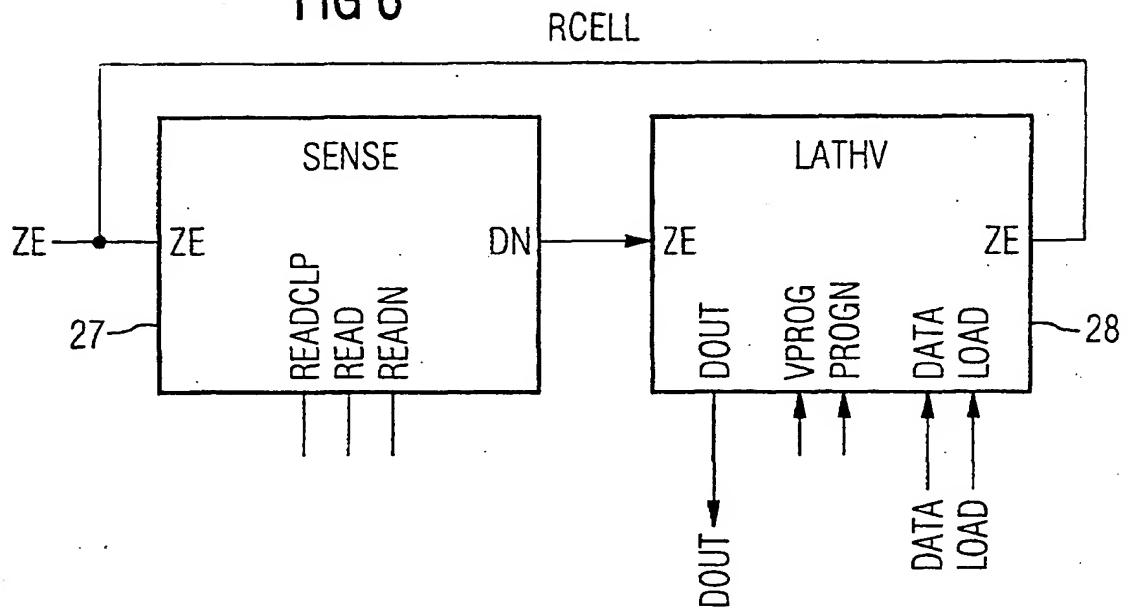
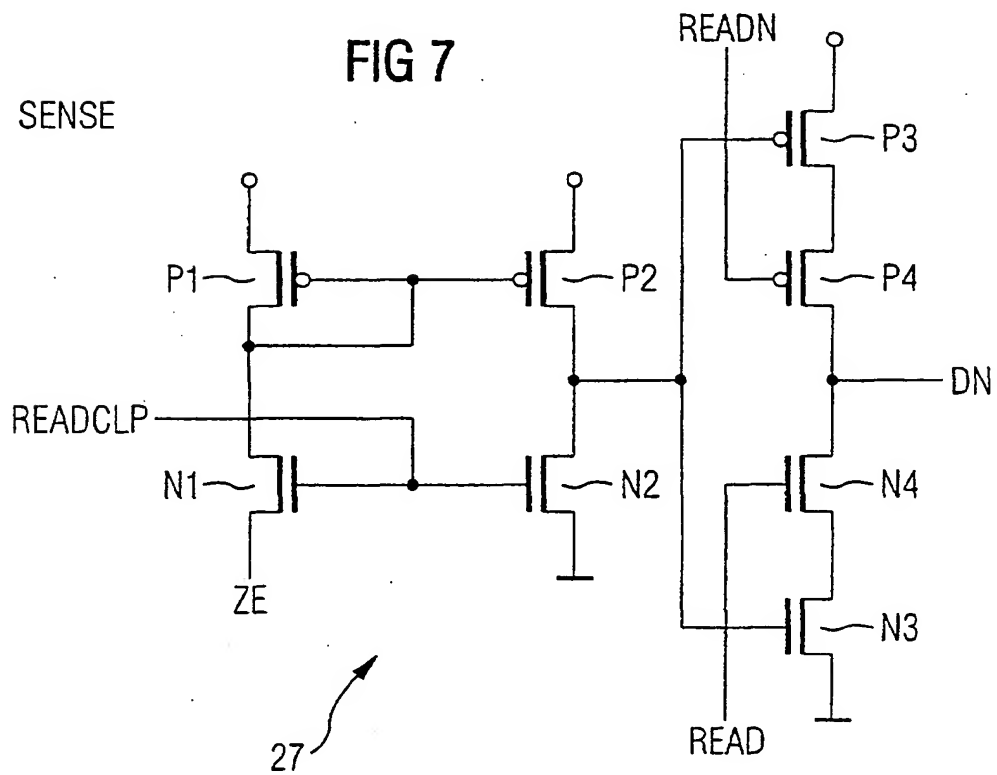
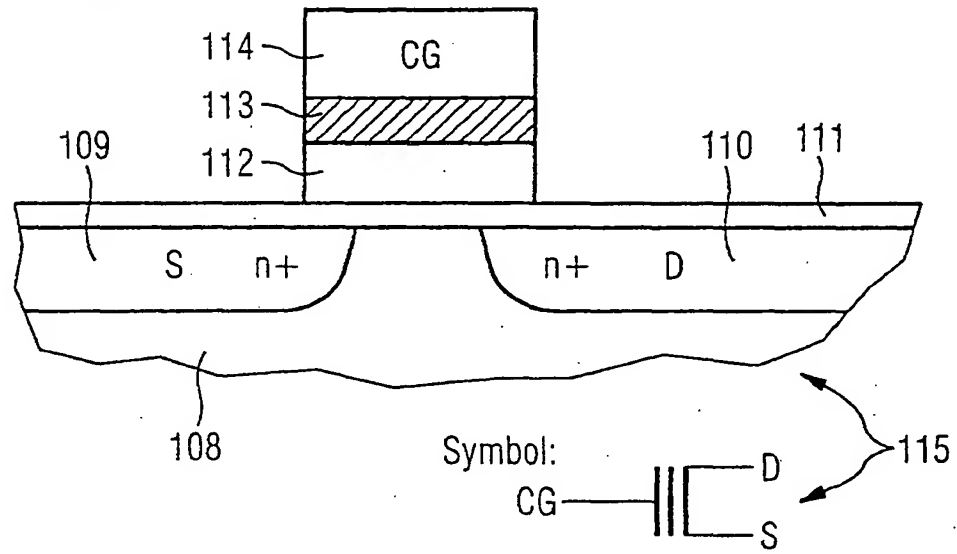


FIG 7



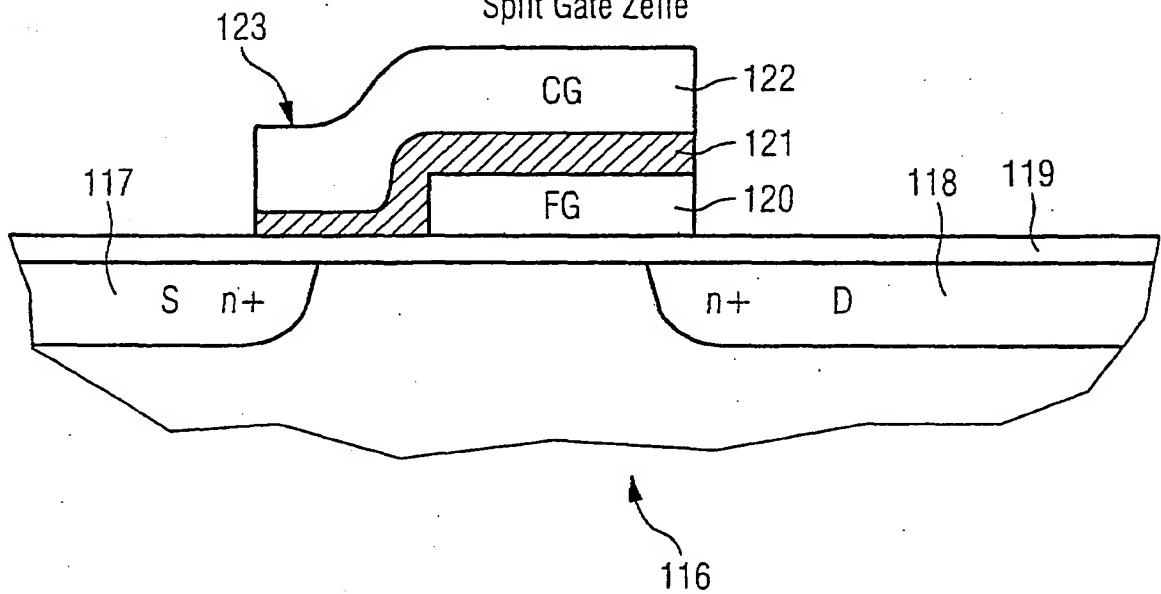
**FIG 8**

Stacked Gate Zelle



**FIG 9**

Split Gate Zelle





**No English title available .**

Patent Number: DE19708965  
Publication date: 1998-09-24  
Inventor(s): ZETTLER THOMAS DR (DE)  
Applicant(s): SIEMENS AG (DE)  
Requested Patent: DE19708965  
Application Number: DE19971008965 19970305  
Priority Number(s): DE19971008965 19970305  
IPC Classification: G11C29/00; G11C16/02  
EC Classification: G11C29/00R8F4, G11C29/00R8L2, G11C16/08  
Equivalents: BR9808156, EP0965083 (WO9839708), B1, ES2161043T, JP2000509880T, WO9839708

---

**Abstract**

---

The invention relates to a memory characterized in that it comprises at least one memory cell array containing memory cells, a redundancy circuit containing at least one redundancy memory cell, and a redundancy-selecting line selector circuit having at least one allocation memory in which allocation information can be stored, whereby on the basis of said allocation information at least one redundancy memory cell can be assigned to at least one memory cell. In addition, the allocation memory has an allocation memory cell with an intermediate memory for storing the allocation information. Depending on the programming method used, known memories require relatively long programming periods for assigning redundancy memory cells to memory cells. In the case of the memories provided for by the invention, the allocation information can be transferred from the intermediate memory to the allocation memory cell, thus making it possible for redundancy memory cells to be assigned to defective memory cells rapidly and in an energy-efficient manner.

---

Data supplied from the esp@cenet database - I2

DOCKET NO: P2002,0627

SERIAL NO: \_\_\_\_\_

APPLICANT: Peter Beer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100